

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-250482

(43)Date of publication of application : 27.09.1996

(51)Int.Cl.

H01L 21/3065

H01L 21/316

(21)Application number : 07-081776

(71)Applicant : NIPPON STEEL CORP

(22)Date of filing : 14.03.1995

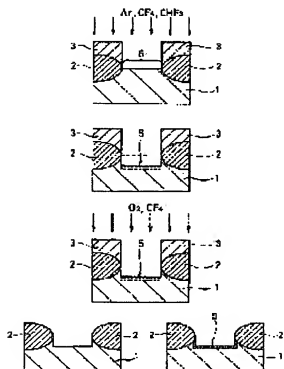
(72)Inventor : FUJIKAKE HIDEKI  
TAKIYAMA MASANORI

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To prevent the deterioration of the dielectric strength of a semiconductor oxide film by forming the oxide film on a semiconductor substrate after the substrate is etched with a mixed gas containing carbon and fluorine and another mixing gas containing fluorine and oxygen at a specific partial pressure ratio or higher.

CONSTITUTION: When a silicon substrate 1 in an element forming area 6 is etched with Ar, CF<sub>4</sub>, and CHF<sub>3</sub> after a field oxide film 2 is covered with a photoresist, a damaged layer, SiC layer, and CFX Si layer are successively formed on the bottom 5 of a trench-like part. When the substrate 1 in the area 6 is etched with a reaction gas containing CF<sub>4</sub> and O<sub>2</sub> at a specific partial pressure ratio of  $\geq 70\%$ , most of the damaged layer, SiC layer, and CFX Si layer is removed. Then a gate oxide film 9 is formed on the surface of the substrate 1 in the area 6. Thus the deterioration of the dielectric strength of the film 9 is prevented.



## LEGAL STATUS

[Date of request for examination] 12.03.2002

[Date of sending the examiner's decision of rejection] 11.01.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3716007

[Date of registration] 02.09.2005

[Number of appeal against examiner's decision of rejection] 2005-006316

[Date of requesting appeal against examiner's decision of rejection] 08.04.2005

[Date of extinction of right]

特開平8-250482

(43) 公開日 平成 8 年 (1996) 9 月 27 日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3065			H 0 1 L 21/302	F
21/316			21/316	S

審査請求 未請求 請求項の数 1 F D (全 7 頁)

(21) 出願番号 特願平7-81776

(22) 出願日 平成 7 年 (1995) 3 月 14 日

(71) 出願人 000006855

新日本製鐵株式会社

東京都千代田区大手町 2 丁目 6 番 3 号

(72) 発明者 藤掛 秀樹

東京都千代田区大手町 2-6-3 新日本  
製鐵株式会社内

(72) 発明者 滝山 真功

東京都千代田区大手町 2-6-3 新日本  
製鐵株式会社内

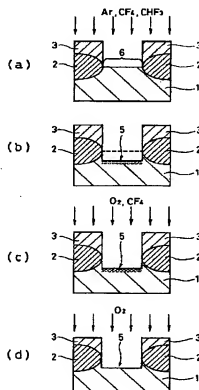
(74) 代理人 弁理士 國分 孝悦

## (54) 【発明の名称】 半導体装置の製造方法

## (57) 【要約】

【目的】 シリコン基板の表面を低ダメージでドライエッチングすることにより、その後に形成されるゲート酸化膜などの絶縁耐圧が低下せず、しきい値電圧などの電気的特性の安定した半導体装置を得る。

【構成】  $Ar$ 、 $CF_4$ 、 $CHF_3$  のプラズマ雰囲気中で素子形成領域 6 のシリコン基板 1 をエッチング処理することにより、素子形成領域 6 のトレンチ形状の底部 5 に形成されたダメージ層、 $SiC$  層、 $CF_x$   $Si$  層を、反応ガス  $O_2$ 、 $CF_4$  ( $O_2$  分圧 95.2%) のプラズマ雰囲気でのシリコン基板 1 のエッチング処理によって大部分除去する。この後、反応ガス  $O_2$  の雰囲気中でシリコン基板 1 をエッチング処理して残存する  $SiC$  層、 $CF_x$   $Si$  層を完全に除去する。そして、膜厚 50 Å 程度の犠牲酸化膜 8 を形成および除去してから膜厚 150 Å 程度のゲート酸化膜 9 を形成する。



## 【特許請求の範囲】

【請求項1】 炭素およびフッ素を含有する混合ガスにより半導体基板をエッチングする工程と、

フッ素および分圧比70%以上の酸素を含有する混合ガスにより前記半導体基板をエッチングする工程と、

前記半導体基板の上に半導体酸化膜を形成する工程とを有する半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に関し、特にゲート酸化膜などの半導体酸化膜の絶縁耐性を向上させるために用いて好適である。

## 【0002】

【従来の技術】一般にMOSトランジスタ間の素子分離は、LOCOS (Local Oxidation of Silicon) 法によって半導体基板の表面に膜厚の大きな絶縁膜を形成することにより行われるのが一般的である。このLOCOS法では、シリコン基板上の素子形成領域となる部分に酸化膜としてのシリコン窒化膜を選択的に形成してから、このシリコン窒化膜をマスクとしてシリコン基板を熱酸化してフィールド酸化膜と呼ばれる厚いシリコン酸化膜を形成し、しかる後、残存するシリコン窒化膜をウェットエッチングにより除去する。

【0003】以上の工程では、シリコン基板がドライエッチングのプラズマ雰囲気中にさらされることがない。しかし、トランジスタなどの素子の微細化に伴って、素子形成領域のシリコン基板を掘り下げが必要が生じた。そのため、一般にはC（炭素）、F（フッ素）を含む混合ガスのプラズマ雰囲気中で素子形成領域のシリコン基板をドライエッチングする。

【0004】また、例えば素子形成領域にパターン形成した導電膜にサイドウォール絶縁膜を形成する場合のように、シリコン基板上に堆積したシリコン酸化膜を導電膜の側壁部分だけを残してエッチング除去する際にも、エッチングの終点検出のためにC（炭素）、F（フッ素）を含む混合ガスのプラズマ雰囲気中でシリコン基板の表面が短時間ドライエッチングにさらされる。

## 【0005】

【発明が解決しようとする課題】しかしながら、シリコン基板の表面がドライエッチングにさらされると、以下のような問題が生じる。図5の丸枠内に、C、Fを含有するガスで素子分離領域6にフィールド酸化膜2が形成されたシリコン基板1をプラズマ処理したときの、シリコン基板1の表面の様子を概略的に示す。図5に示すように、シリコン基板1を掘り下げた底部5の表面部分には、プラズマエネルギーによるシリコンのダメージ層22、シリコン基板1とプラズマ雰囲気中の炭素との反応によるSiC層23、およびシリコン基板1とプラズマ雰囲気中のエッチングガス成分との反応によるCF<sub>x</sub>、Si層（xは自然数）24がこの順番で下層から形成され

ている。

【0006】例えばこれらのダメージ層22、SiC層23、およびCF<sub>x</sub>、Si層24が残存した状態でこれら層22、23、24の上にゲート酸化膜を形成すると、素子形成領域をドライエッチングで掘り下げない場合に比べて、ゲート酸化膜の膜厚が薄くなってトランジスタのしきい値電圧が変動したり、このゲート酸化膜中に炭素やフッ素がこれら層22、23、24から取り込まれることによってゲート酸化膜の絶縁耐性が著しく低下してしまっていた。

【0007】従って、例えば金属コンタクトを形成する場合にシリコン基板表面の絶縁膜を低ダメージで取り除く方法が提案されているように（特開平2-151031号公報）、シリコン基板表面にドライエッチングを施す場合にシリコン基板に大きなダメージを与えない方法が必要とされていた。

【0008】そこで、本発明の目的は、半導体基板の表面を低ダメージでドライエッチングすることができ、その後形成されるゲート酸化膜などの半導体酸化膜の絶縁耐性が低下せず、しきい値電圧などの電気的特性の安定した半導体装置を製造できる方法を提供することである。

## 【0009】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体装置の製造方法は、炭素およびフッ素を含有する混合ガスにより半導体基板をエッチングする工程と、フッ素および分圧比70%以上の酸素を含有する混合ガスにより前記半導体基板をエッチングする工程と、前記半導体基板の上に半導体酸化膜を形成する工程とを有する。

## 【0010】

【作用】本発明によると、炭素およびフッ素を含有する混合ガスにより半導体基板をエッチングすることによって半導体基板の表面に形成されたダメージ層、SiC層およびCF<sub>x</sub>、Si層が、フッ素および分圧比70%以上の酸素を含有する混合ガスで半導体基板をエッチングすることによってほとんど除去されてしまう。従って、この後に半導体基板の上に形成する半導体酸化膜の膜厚が薄くなってしきい値電圧などの電気的特性パラメータが変動せず、炭素やフッ素が半導体酸化膜に取り込まれることによって半導体酸化膜の絶縁耐性が劣化することがない。

## 【0011】

【実施例】以下、本発明を実施例につき図面を参照して説明する。

【0012】図1、図2に、本発明の第1実施例のMOSトランジスタの製造方法を工程順に示す。まず、図1(a)に示すように、シリコン基板1の素子分離領域に熱酸化によるLOCOS法でフィールド酸化膜2を形成してからフォトリソグラフィ技術によりフィールド酸化

膜2上をフォトリソ3で覆う。しかる後、Ar、CF<sub>4</sub>、CHF<sub>3</sub>のプラズマ雰囲気中で素子形成領域6のシリコン基板1をエッチング処理する。このときのエッチング条件は、Ar、CF<sub>4</sub>、CHF<sub>3</sub>を供給する際の分圧比が4:0.3:3、圧力1.0 Torr、処理時間60秒間である。

【0013】このようなエッチング処理を行うと、図1(b)に示すように、素子形成領域6のシリコン基板1が掘り下げられて、そのトレンチ形状の底部5には、図5の丸枠内に示すようにダメージ層22、SiC層23、およびCF<sub>x</sub> Si層24が順次形成される。

【0014】次に、図1(c)に示すように、反応ガスO<sub>2</sub>、CF<sub>4</sub>のプラズマ雰囲気中で素子形成領域6のシリコン基板1を50Å程度掘り下げようとしてエッチング処理する。これによって、底部5のダメージ層22、SiC層23、およびCF<sub>x</sub> Si層24は、その大部分が除去される。この時のエッチング条件は、O<sub>2</sub>分圧95.2%、圧力0.8 Torr、処理時間15秒間である。なお、本実施例において、後述するゲート酸化膜9の耐圧歩留りは96%であった

【0015】次に、図1(d)に示すように、反応ガスO<sub>2</sub>の雰囲気中において、圧力1.0 Torr、マイクロ波パワー800W、処理時間130秒間の条件で、素子形成領域6のシリコン基板1をエッチング処理した。これによって、図1(c)のO<sub>2</sub>、CF<sub>4</sub>によるプラズマ処理で残存したC、F成分であるSiC層23とCF<sub>x</sub> Si層24を取り除くことができるとともに、図2(a)に示すように、フォトリソ3が完全に除去される。

【0016】次に、図2(b)に示すように、硫酸洗浄を15分間、SC1洗浄を10分間、HF洗浄を1分間それぞれシリコン基板1に施した後、800℃でパイロ酸化を行い、素子形成領域6のシリコン基板1の表面に膜厚50Å程度のシリコン酸化膜である犠牲性酸化膜8を形成する。なお、犠牲性酸化膜8の膜厚は一般には100Å以上必要であるとされているが、本実施例では後述のようにダメージ層22などが十分に除去されるので犠牲性酸化膜8の膜厚が50Å程度でも効果を発揮することが確認された。

【0017】次に、図2(c)に示すように、シリコン基板1にHF洗浄を施して犠牲性酸化膜8を除去した後、図2(d)に示すように、800℃でパイロ酸化を行って素子形成領域6のシリコン基板1の表面に膜厚150Å程度のシリコン酸化膜であるゲート酸化膜9を形成する。

【0018】次に、図2(e)に示すように、ゲート酸化膜9の上にCVD法によって、不純物を含有した膜厚3000Å程度のポリシリコン膜を形成し、フォトリソ(図示せず)を用いた選択的なエッチングによってこのポリシリコン膜をゲート電極10の形状にパターニ

ングする。

【0019】次に、図2(f)に示すように、ゲート電極10およびフィールド酸化膜2をマスクとしてシリコン基板1と逆導電型の不純物イオンを注入し、しかる後熱処理を行って、シリコン基板1の表面部分のゲート電極10の両側に不純物拡散層であるソース11a、ドレイン11bを形成する。これによって、素子形成領域6のシリコン基板1にMOSトランジスタが形成される。

【0020】以上の工程によって製造したMOSトランジスタは、O<sub>2</sub>、CF<sub>4</sub>の混合ガスによるエッチング処理でダメージ層22、SiC層23、およびCF<sub>x</sub> Si層24がほとんど取り除かれるので、ゲート酸化膜9の膜厚が予定したよりも薄くなることなく、またゲート酸化膜9中にこれら層22、23、24から炭素やフッ素が取り込まれることでゲート酸化膜9の絶縁耐圧が低下することがなく、しかもしきい値電圧などの電気的特性が非常に安定している。

【0021】次に、本実施例において、O<sub>2</sub>、CF<sub>4</sub>でのエッチング処理(再処理)で、O<sub>2</sub>とCF<sub>4</sub>の分圧比を变化させたときのゲート酸化膜9の耐圧歩留りを、図6を参照して説明する。

【0022】図6に示すように、ゲート酸化膜9の耐圧歩留りは、O<sub>2</sub>/CF<sub>4</sub>比の増加とともに上昇し、O<sub>2</sub>/CF<sub>4</sub>比が3.5で70%に達する。しかし、プロセス変動の影響を考慮して常に安定した耐圧歩留りを得るためには、O<sub>2</sub>/CF<sub>4</sub>比が4以上、即ちO<sub>2</sub>分圧が80%以上であることが好ましい。例えば、本実施例では、O<sub>2</sub>、CF<sub>4</sub>の混合ガスによるエッチング処理でO<sub>2</sub>分圧を95.2%としたので、ゲート酸化膜9の耐圧歩留りは96%であり、シリコン基板1をAr、CF<sub>4</sub>、CHF<sub>3</sub>で掘り下げない場合と比べて耐圧歩留りの低下は見られなかった。

【0023】次に、本実施例において、O<sub>2</sub>、CF<sub>4</sub>でのエッチング(再処理)によるシリコン基板1の削れ量と、ゲート酸化膜9が絶縁破壊されるまでにゲート酸化膜9の単位面積中を通過できる電荷量Q<sub>g</sub>。(C/cm<sup>2</sup>)との関係について、図7を参照して説明する。

【0024】図7に示すように、削れ量が少ないときは削れ量が増えるとともに電荷量Q<sub>g</sub>は増加し、削れ量が50Å程度を超えると削れ量の増加とともに電荷量Q<sub>g</sub>は減少していく。これは、素子形成領域6のシリコン基板1上に形成されるダメージ層22、SiC層23、およびCF<sub>x</sub> Si層24の膜厚が、40Å〜60Å程度であるからと推定される。従って、この削れ量が40Å未満であればダメージ層22、SiC層23、およびCF<sub>x</sub> Si層24の一部がシリコン基板1の上に残ってしまいゲート酸化膜9の絶縁耐圧に悪影響を及ぼす。また、削れ量が60Åより大きい場合にはシリコン基板1が必要以上にプラズマダメージを受けて、この場合も絶縁耐圧が劣化する。よって、MOSトランジスタの信頼性を

保つために $20\text{ (C/cm}^2\text{)}$ 以上の電荷量 $Q_{90}$ を確保することが必要なことも考慮すると、削れ量は $40\text{ Å} \sim 60\text{ Å}$ とすることが実用上好ましい。

【0025】次に、 $O_2$ 、 $CF_4$ でのエッチング処理(再処理)を行った後に、本実施例のように $O_2$ でシリコン基板1をエッチング処理した場合( $O_2$ 処理あり)と、しなかった場合( $O_2$ 処理なし)とで、ゲート酸化膜9が絶縁破壊されるまでにゲート酸化膜9の単位面積中を通過できる電荷量 $Q_{90}$ がどの程度相違するかを、図8を参照して説明する。

【0026】図8に示すように、 $O_2$ 処理ありの場合には電荷量 $Q_{90}$ は $23\text{ (C/cm}^2\text{)}$ 程度であったが、 $O_2$ 処理なしの場合には電荷量 $Q_{90}$ は $20\text{ (C/cm}^2\text{)}$ 程度であった。このように $O_2$ 処理を施すことで電荷量 $Q_{90}$ は1割程度増加するが、両者に大きな相違はなく、 $O_2$ 処理は省略することも可能である。

【0027】次に、本実施例における犠牲酸化膜8の膜厚と、ゲート酸化膜9が絶縁破壊されるまでにゲート酸化膜9の単位面積中を通過できる電荷量 $Q_{90}$ との関係を、図9を参照して説明する。

【0028】図9から明らかなように、犠牲酸化膜8の膜厚が $40\text{ Å}$ 以上であれば、MOSトランジスタの信頼性を保つために必要とされる $20\text{ (C/cm}^2\text{)}$ 以上の電荷量 $Q_{90}$ を確保することができる。従って、本実施例の方法によると、一般に $100\text{ Å}$ 以上必要であるとされている犠牲酸化膜の膜厚をきわめて薄くすることができる。

【0029】次に、本発明の第2実施例について図3、図4を参照して説明する。本実施例では、シリコン基板上に堆積したシリコン酸化膜をエッチバックしてフィールドシールドゲート電極のサイドウォール酸化膜を形成する際に、エッチングの終点検出のためにシリコン基板の表面が短時間ドライエッチングにさらされる。なお、フィールドシールドゲート電極とは、接地などでの電極の電位を一定に保つことによって素子分離を行うための電極であり、近年LOCOS法に代わって素子分離のために用いられている。

【0030】まず、図3(a)に示すように、シリコン基板1の素子分離領域に $900^\circ\text{C}$ の熱酸化により膜厚 $400\text{ Å}$ 程度のシールドゲート酸化膜14を形成し、さらにCVD法により不純物を含有した膜厚 $3000\text{ Å}$ 程度のポリシリコン膜12を形成する。しかる後、ポリシリコン膜12上にCVD法により膜厚 $2000\text{ Å}$ 程度のシリコン酸化膜13を形成する。

【0031】次に、図3(b)に示すように、素子形成領域6のシリコン酸化膜13を選択的にエッチング除去するとともに、素子形成領域6のポリシリコン膜12を選択的にエッチング除去することによって素子分離領域にポリシリコン膜12からなるフィールドシールドゲート電極16を形成する。

【0032】次に、図3(c)に示すように、CVD法により全面に膜厚 $3500\text{ Å}$ 程度のシリコン酸化膜15を形成する。しかる後、 $Ar$ 、 $CF_4$ 、 $CHF_3$ のプラズマ雰囲気中でシリコン酸化膜15をエッチング処理(エッチバック)する。このときのエッチング条件は、 $Ar$ 、 $CF_4$ 、 $CHF_3$ を供給する際の分圧比が $4:0:3:3$ 、圧力 $1.0\text{ Torr}$ 、処理時間 $30$ 秒間である。

【0033】このようなエッチング処理を行うと、図3(d)に示すように、フィールドシールドゲート電極16の側部にのみシリコン酸化膜15が残存して、シリコン酸化膜15からなるサイドウォール酸化膜20が形成される。なお、このエッチングは、素子形成領域6のシリコン基板1により終点検出されるので、シリコン基板1は短時間ながら $Ar$ 、 $CF_4$ 、 $CHF_3$ の混合ガスにさらされて、上記第1実施例の場合と同様に、シリコン基板1の表面に図5に示すようなダメージ層22、 $SiC$ 層23、および $CF_x$ 、 $Si$ 層24が形成される。

【0034】次に、図4(a)に示すように、反応ガス $O_2$ 、 $CF_4$ のプラズマ雰囲気中で素子形成領域6のシリコン基板1を $50\text{ Å}$ 程度エッチング処理する。これによって、シリコン基板1の表面のダメージ層22、 $SiC$ 層23、および $CF_x$ 、 $Si$ 層24は、その大部分が除去される。この時のエッチング条件は、 $O_2$ 分圧 $80\%$ 以上、圧力 $0.8\text{ Torr}$ 、処理時間 $15$ 秒間である。

【0035】次に、図4(b)に示すように、反応ガス $O_2$ の雰囲気中において、圧力 $1.0\text{ Torr}$ 、処理時間 $130$ 秒間の条件で、素子形成領域6のシリコン基板1をエッチング処理した。これによって、図4(a)の $O_2$ 、 $CF_4$ によるプラズマ処理で残存した $C$ 、 $F$ 成分である $SiC$ 層23と $CF_x$ 、 $Si$ 層24を取り除くことができる。

【0036】以下、第1実施例の図2(b)～(f)に示す工程と同様の工程を施すことによって、図4(c)に示すような、ゲート酸化膜9上のゲート電極10と、その両側の不純物拡散層であるソース11a、ドレイン11bとを有するMOSトランジスタをシリコン基板1に形成することができる。

【0037】本実施例の工程によって製造したMOSトランジスタは、 $O_2$ 、 $CF_4$ の混合ガスによるエッチング処理でダメージ層22、 $SiC$ 層23、および $CF_x$ 、 $Si$ 層24がほとんど取り除かれるので、ゲート酸化膜9の膜厚が設計よりも薄くなることのないのでMOSトランジスタのしきい値電圧の変動のために電気的特性が非常に安定し、またゲート酸化膜9中にこれら層22、23、24から炭素やフッ素が取り込まれることでゲート酸化膜9の絶縁耐圧が低下することがない。そして、本実施例でも $80\%$ 以上のゲート酸化膜9の耐圧歩留りを確保することができた。

【0038】なお、本発明は上述の第1および第2実施例のごとくMOSトランジスタのゲート酸化膜の絶縁耐性や電気的特性を向上させるだけでなく、EEPROMなどの不揮発性半導体装置のトンネル酸化膜の絶縁耐性や電気的特性を向上させるために用いることもできる。

【0039】

【発明の効果】以上説明したように、本発明によると、炭素およびフッ素を含有する混合ガスにより半導体基板をエッチングすることによって半導体基板の表面に形成されたダメージ層、SiC層およびCF<sub>x</sub> Si層が、フッ素および分圧比70%以上の酸素を含有する混合ガスで半導体基板をエッチングすることによってほとんど除去されてしまう。従って、この後に半導体基板の上に形成する半導体酸化膜の膜厚が薄くなっていき値電圧が変動しないので電気的特性が安定するとともに、炭素やフッ素が半導体酸化膜に取り込まれることによって半導体酸化膜の絶縁耐性が劣化することがない。よって、より性能の優れた半導体装置を得ることが可能になる。

【図面の簡単な説明】

【図1】本発明の第1実施例の半導体装置の製造方法を工程順に示す断面図である。

【図2】本発明の第1実施例の半導体装置の製造方法を工程順に示す断面図である。

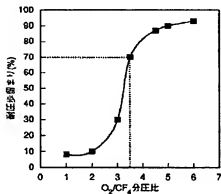
【図3】本発明の第2実施例の半導体装置の製造方法を工程順に示す断面図である。

【図4】本発明の第2実施例の半導体装置の製造方法を工程順に示す断面図である。

【図5】シリコン基板をエッチング処理した際のシリコン基板の表面の様子を説明するための図である。

【図6】O<sub>2</sub>、CF<sub>4</sub>でのエッチング処理において、O<sub>2</sub>とCF<sub>4</sub>との分圧比とゲート酸化膜の耐圧歩留りとの\*

【図6】



\* 関係を示すグラフである。

【図7】O<sub>2</sub>、CF<sub>4</sub>でのエッチングによるシリコン基板の削れ量と、ゲート酸化膜が絶縁破壊されるまでにゲート酸化膜の単位面積中を通過できる電荷量Q<sub>g</sub>との関係を示すグラフである。

【図8】O<sub>2</sub>、CF<sub>4</sub>でのエッチング処理を行った後に、O<sub>2</sub>でシリコン基板をエッチング処理した場合と、しなかった場合との電荷量Q<sub>g</sub>を比較するグラフである。

10 【図9】犠牲酸化膜の膜厚と電荷量Q<sub>g</sub>との関係を示すグラフである。

【符号の説明】

1 シリコン基板

2 フィールド酸化膜

3 フォトリソ

5 底部

6 素子形成領域

8 犠牲酸化膜

9 ゲート酸化膜

20 10 ゲート電極

11 a ソース

11 b ドレイン

12 ポリシリコン膜

13 シリコン酸化膜

14 シールドゲート酸化膜

15 シリコン酸化膜

16 フィールドシールドゲート電極

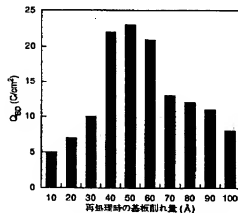
20 サイドウォール酸化膜

22 ダメージ層

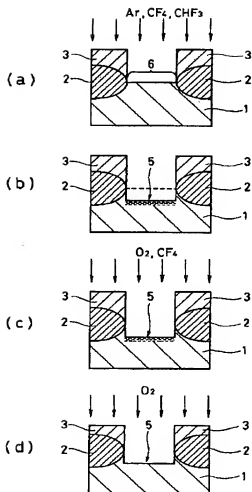
23 SiC層

24 CF<sub>x</sub> Si層

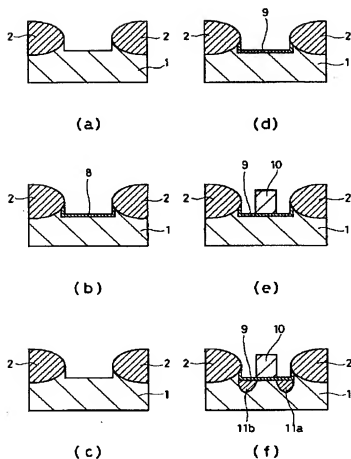
【図7】



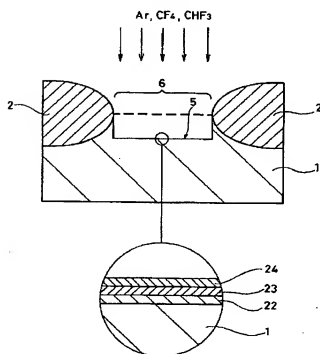
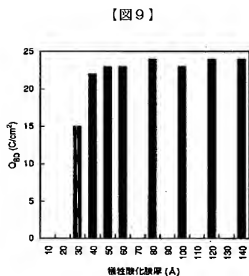
【図1】



【図2】

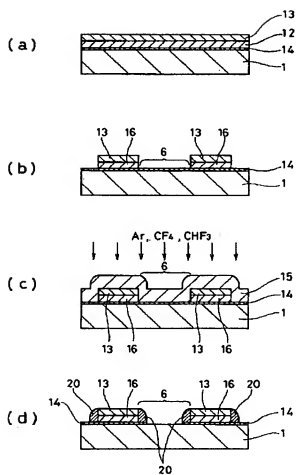


【図5】

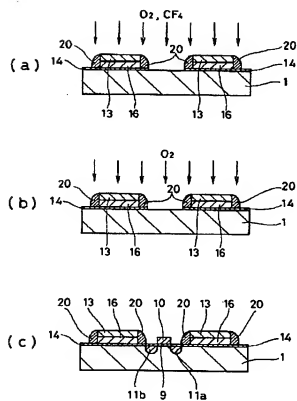




【図3】



【図4】



【図8】

